

SEMICONDUCTOR TESTING · INDUSTRY NOTE

CP、FT、BI、SLT 測試產業與外包分析

從台積電後段策略出發，拆解 OSAT 產值、先進封裝外溢與 AI 晶片測試內容升級。

核心判斷：外包的價值不只在「把產能移出」，而是把 AI 晶片的測試時間、熱管理與系統驗證，轉換成 OSAT 可計價的高附加價值機時。

2026-08-18 | 資料截至 2026-08-18 | 研究性質：產業分析，非投資建議

一頁結論

CP 19%

Nomura 對 ASE 2026E LEAP 組成估計

FT 6%

同一估計中之 FT 比重

US\$3.7bn

ASE 2026 LEAP 管理層追蹤目標 (2026/7)

投資 thesis：台積電的先進封裝供應緊張，使 CoWoS 後段與部分測試外溢給 OSAT；而 GPU/ASIC 由 FT 延伸至 BI 與 SLT，單顆晶片的測試內容、設備與熱管理要求同步提高。產值的彈性因此主要落在具高功率測試、先進封裝與客戶認證能力的業者，而不只是傳統低階封測的名目產能。

TSMC：高價值整合者

CoWoS、InFO、SoIC 為自有 3DFabric 後段能力；2026 年資本支出中，先進封裝、測試、光罩與其他合計占 10–20%，但公司未單獨揭露測試營收或 CP / FT 外包比例。

ASE / SPIL：主要壓力閥

ASE 2025 合併營收 NT\$6,454 億；2026Q2 管理層稱 LEAP (先進封裝及測試) 動能優於原先 US\$3.5bn 目標，並瞄準 2027 年倍增。

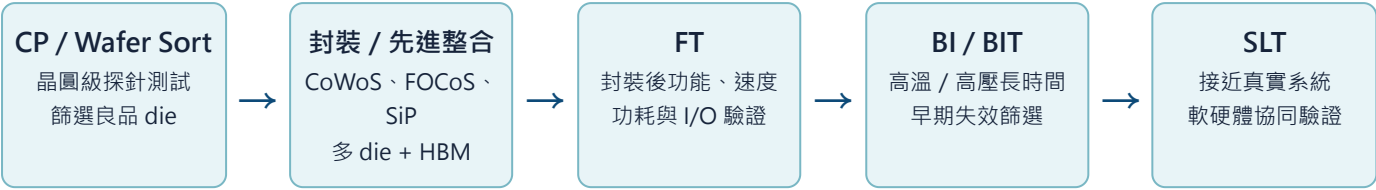
測試：AI 的隱性 BOM

券商估計，以 Hopper 的 FT 時間為 1，Blackwell 約 4、Rubin 約 7；SLT 約為 1、1.5、2.5。這是估計而非公司規格，但方向是測試內容上升。

最重要的邊界

可以直接說的事實	必須標為推估 / 通路資訊
TSMC 已將先進封裝與測試列為資本支出項目；ASE 是全球大型 OSAT，並揭露 LEAP 成長目標。	「TSMC 將多少 % CP 或 FT 外包給某一家 OSAT」、「某客戶獨家」及逐月產能分配。這些沒有在 TSMC 年報 / 法說中按客戶與節點公開揭露。

測試流程：從良率篩選到系統驗證



節點	回答的問題	主要價值驅動	典型承接者
CP Chip Probe	裸晶粒是否符合基本電性 / 速度規格？	探針卡、平行測試數、良率與 KGD (Known Good Die) 需求。	晶圓廠內部 + 專業測試 OSAT；先進封裝越昂貴，越傾向在前段多測一次。
FT Final Test	封裝、I/O、頻率、功耗與散熱後是否可出貨？	ATE、handler、socket、測試程式與測試秒數。大封裝 / 高功率會抬升設備門檻。	ASE/SPIL、KYECC、矽格、Amkor 等。
BI / BIT Burn-in	高溫長時間壓力下，是否有早期失效？	時間佔用、溫控、電源與治具；對 AI/HPC 的可靠度成本更敏感。	OSAT 或客戶指定可靠度服務。
SLT System-Level Test	在近似伺服器 / 板卡工作負載下，是否能穩定運作？	測試時間、系統板、負載、軟體與熱設計。最接近「系統驗收」。	具高功率 ATE、ATC handler 與客製平台的 OSAT / 設備生態系。

為何 CP 往前移？

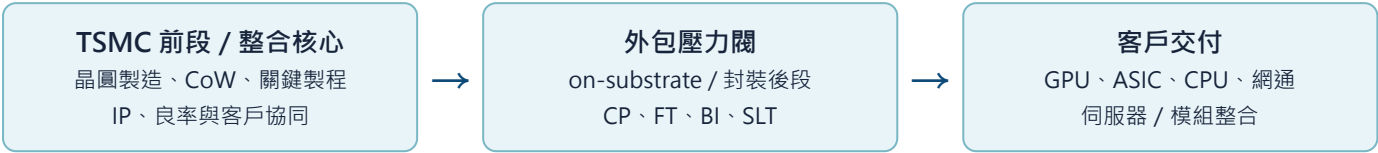
多 die + HBM 的封裝成本顯著高於單顆傳統 IC；先確認裸晶粒良好，可避免把壞 die 送入昂貴的異質整合。CP 因而是降低後段報廢成本的保險。

為何 FT / BI / SLT 變貴？

AI 加速器不僅 I/O 速度更高、功耗更大，也須驗證多核心一致性與系統負載。瓶頸從單純 ATE 數量，移到可用的高功率測試 cell、熱控、治具與認證。

TSMC 與 OSAT：外包不是單一比例

將「TSMC 外包」視為一個數字容易誤判。實際上，外包程度依產品、CoWoS 段別、客戶指定、產能緊張度與測試複雜度而變；同一封裝平台中，晶圓端與關鍵整合仍可由台積電掌握，較可複製或受產能限制的後段則可能由 OSAT 承接。



層次	公開證據	報告中的處理方式
台積電自有後段能力	2025 年報列示 CoWoS、InFO、SoIC 等 3DFabric 服務；2026Q2 法說資本支出將先進封裝、測試、光罩與其他合列 10–20%。	視為台積電重資本投入且保有技術核心；不能由此反推純測試產值。
CoWoS 後段外溢	ASE 於 2026Q2 將 LEAP 動能上修；券商研究則將 ASE 的 oS (on-substrate outsourcing) 視為 AI GPU / ASIC 的主要成長來源。	以「外溢正在發生」作產業判斷；各廠份額與 wafer-per-month 僅列估計，不當作公司事實。
CP / FT 測試外包	券商研究指 ASE 為 TSMC CP 外包與部分 ASIC FT 的受益者；TSMC 未按 CP / FT 服務公開 outsourcing rate。	用受惠路徑而非精確比例分析，將客戶 / 專案分配列為低至中信心。

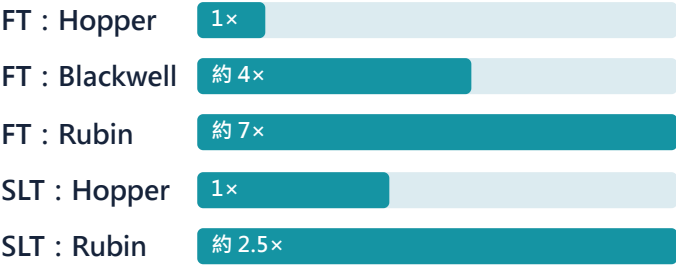
閱讀「外包率」的正確方式：應分成「實體量」(wafer、die、package)、「製程段」(CoW、WoS / on-substrate、CP、FT、BI、SLT) 與「價值量」(每單位 ASP × 測試時間)。AI 世代最可能先上升的是後兩者；即使外包件數未暴增，時間與熱管理升級仍可推升 OSAT 產值。

產值：OSAT 的成長來自 mix 與機時

ASE：公開營收與先進服務指標

指標	數值	性質
2025 合併營收	NT\$645.4bn，年增 8.4%	公司年報 fact
2026 LEAP	追蹤優於原 US\$3.5bn；市場資料轉述約 US\$3.7bn	管理層 / 研究口徑
2027 LEAP	公司目標至少倍增；券商模型約 US\$7.5–8.5bn	目標 / estimate，不是已實現營收

測試時間的槓桿（研究估計）



時間倍數源自 Nomura 2026-07 產業研究；為分析師供應鏈估計，不代表 NVIDIA 或 OSAT 的公開測試規格。圖表意義在於測試內容上升的方向，而非單一產品的精確報價。

受惠環節	產值公式	對投資判讀的重要性
CP	晶圓量 × 每片測試時間 × 平行度 / 探針耗材	先進封裝與 HBM 促使 KGD 需求提高，探針卡、prober 與測試服務共同受益。
FT	封裝顆數 × 測試秒數 × 產品複雜度	高功率 handler、ATE、socket 和散熱能力決定可服務市場，非所有 FT 產能可互換。
BI / SLT	待測系統數 × 壓力時數 × 熱 / 電 / 軟體平台	佔用時間長、認證週期長；一旦通過客戶認證，替換成本相對高，但資本支出與折舊也更重。
先進封裝外包	wafer / package × 先進封裝 ASP × 良率	受台積電內部產能與客戶專案影響最大；是 ASE LEAP 成長的高敏感變數。

供應鏈定位與觀察名單

公司 / 角色	在 CP / FT / BI / SLT 的位置	觀察重點	信心
TSMC	晶圓代工 + 先進封裝平台；保有關鍵整合與客戶協同。	先進封裝 / 測試資本支出、CoWoS 交期、內製與外溢節奏。	高
ASE / SPIL	最大 OSAT 之一；LEAP 覆蓋先進封裝及測試，承接 CoWoS 後段與 AI 測試升級。	LEAP 營收、ATM 毛利率、CoW / oS 良率、CAPEX 與客戶集中度。	高（角色）；中（客戶份額）
KYEC	以 FT、HBM / AI 後段測試為核心的獨立測試業者。	高階 tester、handler 到位與利用率；大封裝 / 高功率 FT 滲透。	中
矽格	CP / FT 測試；AI ASIC 與矽光子為成長組合。	管理層稱設備交期 6–9 個月；AI ASIC / 矽光子收入與稼動率是先行指標。	高（公司揭露）
測試設備 / 介面	ATE、handler、probe card、socket、load board、SLT board。	設備不是立即可替代：高功率、溫控、高速 I/O、光電同測與客製化決定瓶頸。	中高

三個可驗證的先行指標

1. LEAP 與 ATM

ASE 的 LEAP 營收、ATM 毛利率與資本支出是否同步上升；若只增 CAPEX、未增利用率，產值假設需下修。

2. 測試 cell 到位

ATE、ATC handler、socket / probe card 的交期與安裝量。AI 晶片的測試瓶頸往往是「可用 cell」，不只是產線面積。

3. 產品導入節奏

GPU、客製 ASIC、CPU 與 CPO 的 NPI 至量產轉換；BI / SLT 往往在系統導入階段才顯著放量。

反證條件：（1）AI GPU / ASIC 出貨低於預期，造成高階測試設備利用率下滑；（2）台積電先進封裝擴產快於需求，外溢量減少；（3）客戶將測試內製或轉向其他 OSAT；（4）新平台良率不佳，使訂單延後而非增加可計價機時。

結語與來源

結論：CP、FT、BI、SLT 不再是可用單一「封測景氣」概括的服務。AI 將測試的經濟性從產能利用率，推向測試時間、熱功耗、系統驗證和客製化介面的組合。台積電不公開 CP / FT 外包比例，但公開資本投入與 OSAT 的 LEAP 動能，已足以支持「先進後段外溢 + 測試內容升級」這個中期方向；公司別的外包份額則仍應以估計看待。

關鍵 Claim 分級

Claim	類型	信心
TSMC 的 CoWoS / 3DFabric 為先進後段核心，且持續投入先進封裝與測試。	公司公開 fact	高
ASE 的先進封裝與測試 LEAP 在 2026–27 顯著成長。	公司目標 + 市場追蹤	高
AI 測試價值量因 FT / BI / SLT 時間與硬體升級而上行。	產業 thesis；有券商估計支持	中高
TSMC 對單一 OSAT 的 CP / FT / oS 精確外包比例。	未公開的 channel estimate	低至中

外部公開來源

- 1. TSMC 2025 Annual Report，2026-04；3DFabric、CoWoS、InFO、SoIC 與公司營運資訊。
- 2. TSMC 2026 Q2 Quarterly Results，2026-07-16；資本支出與法說資料入口。
- 3. ASE Technology 2025 Form 20-F / annual filing，2026；2025 合併營收與封裝測試業務描述。
- 4. ASE / SPIL press release，2025-01-16；SPIL 的 assembly、wafer sort、final test、burn-in 服務說明。
- 5. SEMI Worldwide Assembly & Test Facility Database，2026-07；OSAT / IDM 後段能力的產業範圍。

本 wiki 內部來源（用於交叉檢驗）

Nomura《Advanced Semi Testing》（2026-07-24）；Nomura / UBS / Citi / Morgan Stanley 日月光研究（2026-06 至 2026-07）；矽格法說（2026-06-23）。所有券商數字已在本文標為 estimate 或研究口徑，不作為公司公告事實。

本報告為教育與研究用途，不構成投資、買賣或持有任何證券之建議。數據及市場預估可能變動。